

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :

Ju-Bum LEE :

Serial No.: [NEW] : Mail Stop Patent Application

Filed: February 23, 2004 : Attorney Docket No. SEC.1081

For: METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Korean application:


Appln. No. 10-2003-0011225 filed February 22, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

 REG 31,843 for

Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: February 23, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0011225
Application Number

출 원 년 월 일 : 2003년 02월 22일
Date of Application FEB 22, 2003

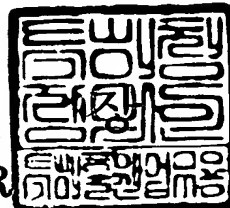
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 11 일

특 허 청

COMMISSIONER





1020030011225

출력 일자: 2003/3/12

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.22
【발명의 명칭】	반도체 소자의 제조방법
【발명의 영문명칭】	METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이주범
【성명의 영문표기】	LEE, Ju Bum
【주민등록번호】	650105-1247522
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대아파트 402동 1803호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	27 면 27,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	13 항 525,000 원
【합계】	581,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

넓은 폭을 갖는 도전 패턴 보호용 식각 저지막 패턴을 사용하여 갭 매립이 용이하면서도 식각 마진을 확보할 수 있는 반도체 소자의 제조방법이 개시되어 있다. 도전 패턴 및 상기 도전 패턴 보다 4배 이상 얇은 두께를 갖는 절연 패턴으로 이루어진 복수개의 구조물 측벽에 스페이서를 형성한다. 1차로 상기 구조물 사이를 절연물질로 매립하고, 상기 구조물 상에 상기 구조물 보다 확장된 폭을 갖는 식각 저지막 패턴을 형성한다. 상기 결과물을 2차로 절연물질로 매립하여 보이드 등과 같은 공극 없이 층간 절연막을 형성한다. 이와 같이, 식각 저지막 패턴을 형성함으로써 갭 매립은 원활히 이루어지면서도 식각 공정으로부터 도전 패턴은 안전하게 보호할 수 있다.

【대표도】

도 3e

【명세서】**【발명의 명칭】**

반도체 소자의 제조방법 {METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 본 발명의 실시예 1에 의한 반도체 소자의 평면도이다.

도 2는 일반적인 반도체 소자의 단면 주사 전자 현미경(Scanning Electron Microscope) 사진이다.

도 3a 내지 도 3h는 도 1의 AA' 방향으로 본 본 발명의 실시예 1에 의한 반도체 소자의 단면도이다.

도 4는 본 발명의 실시예 2에 의한 반도체 소자의 평면도이다.

도 5a 내지 도 5i는 도 4의 BB' 방향으로 본 본 발명의 실시예 2에 의한 반도체 소자의 단면도이다.

도 6a 내지 도 6d는 도 1의 AA' 방향으로 본 실시예 3에 의한 반도체 소자의 단면도이다.

도 7a 내지 도 7e은 본 발명의 도 4의 BB' 방향으로 본 본 발명의 실시예 4에 의한 반도체 소자의 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 상세하게는 보이드와 같은 디펙트(defect)의 형성을 방지할 수 있는 반도체 소자의 제조방법에 관한 것이다.
- <9> 최근, 급속도로 발전하는 정보화 사회에 있어서, 대량의 정보를 보다 빠르게 처리하기 위해 데이터 전송속도가 높은 반도체 소자가 요구되고 있다. 반도체 소자의 데이터 전송속도를 높이기 위해서는 하나의 칩(chip)상에 고집적도로 셀(cell)들을 집적시켜야 하므로, 반도체 소자의 디자인 룰(design rule)은 점점 축소되고 있다.
- <10> 따라서, 더 많은 패턴을 반도체 기판 상에 형성하기 위해 패턴 간격 및 패턴의 폭은 좁아지고 있다. 상기와 같이 좁은 폭을 갖는 패턴들은 다층으로 형성되며, 상기 각 층의 패턴들을 전기적으로 절연시키기 위해서 층간 절연막(interlayer dielectric)을 형성한다. 상기 층간 절연막에는 각 층의 패턴들을 전기적으로 연결하기 위한 콘택(contact) 및 비아(via)들이 형성된다. 상기 콘택 및 비아는 상기 층간 절연막에 소정의 개구부를 형성하고 상기 개구부를 도전물질로 매립하여 형성된다. 따라서, 원하는 영역에만 콘택 및 비아를 형성하기 위해서는 층간 절연막이 균일하고 내부 공극없이 조밀하게 형성되어야 한다.
- <11> 즉, 상기 층간 절연막은 각 층의 형성되어 있는 패턴 사이를 조밀하게 매립하도록 형성되어야 한다. 그러나, 디자인 룰이 축소되면서, 상기 패턴간의 종횡비(aspect ratio)가 증가하게 되었다. 따라서, 상기와 같이 종횡비가 증가한 패턴 사이를 매립하게

되면, 좁은 영역에 물질이 완전히 채워지지 못하고 빈 공간이 형성되는 보이드(void) 등이 유발된다.

<12> 또한, 100nm 이하의 반도체 소자에 있어서, 패턴을 형성할 수 있는 공간은 더욱 협소해지기 때문에 상기 각 패턴 사이의 충전 절연막을 식각하는 동안 패턴에 데미지를 가할 수 있다. 따라서, 자기 정렬 콘택(Self-Aligned Contact; 이하, "SAC"이라 한다.) 공정과 같은 식각 공정 중에 패턴을 보호하기 위해, 상기 패턴을 보호하기 위한 식각용 하드마스크(hard mask)의 높이는 오히려 높아지고 있는 추세이다.

<13> 결과적으로, 상기 하드마스크의 높이가 높아질수록 상기 패턴간의 매립할 영역의 종횡비는 더욱 증가하게 된다.

<14> 종횡비가 높은 경우에 적용되는 갭 매립(gap-fill) 방법으로는 고밀도 화학 기상 증착(High Density Plasma Enhanced Chemical Vapor Deposition; HDP CVD, 이하, "HDP CVD"라고 한다.) 방법을 들 수 있다. 그러나 이들 막질 역시 0.2micro meter 이하의 임계치수(Critical Dimension; CD) 인 0.18micro meter 정도의 디자인 룰에서는 보이드(void)나 심(seam)을 발생시키는 문제로 인해 갭 매립 능력에 한계를 드러내고 있다.

<15> 따라서, 현재 반도체 소자의 제조 공정에서는 포스포 실리케이트 글래스(Boro-Phospho-Silicate Glass; 이하, 'BPSG' 라 한다.)를 이용한 좁은 갭 매립 방법이 가장 널리 사용되고 있다. 상기 BPSG 공정은 증착 후 열처리를 통해서 매립 능력을 향상시키거나 평탄도를 개선시키는 방법으로서 절연막 형성방법으로 사용되고 있다. 미국 특허 번호 6,368,957(Takuji Horio et al.)에 BPSG막을 사용한 절연막 형성방법이 개시되어 있다.

<16> 그러나, 상기 BPSG 공정 또한, 반도체 소자의 디자인 룰이 급격히 감소하면서, 좁은 갭을 완전히 매립하기에 어려움이 있다. 상기 BPSG 의 매립(gap fill) 능력은 붕소(이하, B라고 한다.) 및 인(이하, P라고 한다.) 의 불순물(dopant)의 양에 영향을 받는다

<17> 반도체 소자의 고집적화에 따라 회로 선폭이 줄어들어 절연막의 매립 능력을 향상시키기 위해 BPSG 농도를 증가시킬 경우 BPSG 막질의 습식 식각량이 증가되어 콘택홀과 콘택홀 사이에 충분한 두께의 절연막 두께를 확보하기 어렵게 되어 후속에서 상기 콘택홀을 매립하면 콘택과 콘택 사이에 브릿지(bridge)가 유발되어 소자의 불량률을 초래하게 된다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명의 제1 목적은 도전 패턴을 보호하기 위한 식각 저지막 패턴을 절연막 형성 후에 형성함으로서 상대적으로 종횡비를 감소시켜 갭 매립을 용이하게 할 수 있는 반도체 소자의 제조방법을 제공하는 것이다.

<19> 본 발명의 제2 목적은 각 층의 도전 패턴 사이를 매립하여 형성되는 절연막을 수회에 걸쳐 형성함으로서 한번에 매립하는 영역의 종횡비를 감소시켜 갭 매립을 용이하게 할 수 있는 반도체 소자의 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<20> 상기 제1 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 도전 패턴 및 상기 도전 패턴 보다 4배 이상 얇은 두께를 갖는 절연 패턴으로 이루어진 복수개의 제1 구조물 측벽에 제1 스페이서를 형성하는 단계, 상기 제1 스페이서가 형성된 제1 구조물들을

매립하도록 제1 절연막을 형성하는 단계, 상기 제1 구조물들의 상부면을 노출시키도록 상기 제1 절연막을 평탄화하여 제1 절연막 패턴을 형성하는 단계, 상기 제1 절연막 패턴 및 상기 제1 구조물 상에 제2 구조물을 형성하여 상기 제1 구조물 간격의 5 내지 35%에 해당하는 길이만큼 상기 도전성 구조물로부터 이격된 위치의 제1 영역을 노출시키는 단계 및 상기 제2 구조물 및 상기 제1 스페이서를 식각 마스크로 이용하여 상기 제1 영역을 식각함으로써 상기 반도체 기판의 상부면을 노출시키는 개구부를 형성하는 단계를 포함하는 반도체 소자의 제조방법을 제공한다.

<21> 상기 제2 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 형성되어 있는 각각 제1 너비를 갖는 도전 패턴 및 상기 도전 패턴 보다 4배 이상 얇은 두께를 갖는 절연 패턴으로 이루어진 복수개의 제1 구조물들 측벽에 제1 스페이서를 형성하는 단계, 상기 제1 스페이서가 형성된 제1 구조물들을 매립하도록 제1 절연막을 형성하는 단계, 상기 제1 구조물들의 상부면을 노출시키도록 상기 제1 절연막을 평탄화하여 제1 절연막 패턴을 형성하는 단계, 상기 제1 구조물 상에 상기 제1 구조물 간격의 5 내지 35%에 해당하는 길이만큼 상기 제1 구조물의 양 방향으로 각각 확장된 제2 너비를 갖는 제2 구조물을 형성하여 상기 제1 절연막 패턴의 제1 영역을 노출시키는 단계, 상기 제2 구조물 사이를 매립하도록 제2 절연막을 형성하는 단계 및 상기 제2 절연막의 일부 영역을 식각하고, 상기 제2 구조물 및 제1 스페이서를 식각 마스크로 이용하여 상기 제1 영역을 순차적으로 식각함으로써 상기 반도체 기판의 상부면을 노출시키는 개구부를 형성하는 단계를 포함하는 반도체 소자의 제조방법을 제공한다.

- <22> 이와 같이, 게이트 전극 등과 같은 도전 패턴을 식각 공정 중 보호하기 위한 식각 저지막 패턴을 게이트 전극 사이를 매립한 후 형성함으로써 갭 매립은 원활히 이루어지면서도 식각 공정으로부터 도전 패턴은 안전하게 보호할 수 있다.
- <23> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <24> 실시예 1
- <25> 도 1은 본 발명의 실시예 1에 의한 반도체 소자의 평면도이다.
- <26> 도 1을 참조하면, 반도체 기판 상에 일방향으로 복수개의 게이트 라인(게이트 전극)(338)들이 진행하고, 상기 각각의 게이트 라인(338)들 사이는 절연물질로 매립된 절연막이 형성되어 있다. 상기 게이트 라인(338) 및 상기 절연막 상에는 상기 각각의 게이트 라인 사이를 일부 개구시키는 식각 저지막 패턴(370)이 형성되어 있다. 상기 식각 저지막 패턴(370)을 식각 마스크로 이용하여 상기 절연막을 식각하여 각각의 게이트 라인(338) 사이에는 개구부(372)가 형성된다.
- <27> 도 2는 일반적인 반도체 소자의 단면 주사 전자 현미경(Scanning Electron Microscope) 사진이다.
- <28> 도 2를 참조하면, 일반적인 갭 매립 방법으로 절연막을 형성하면, 도전 패턴(200)들 사이에 형성된 개구 영역의 종횡비가 약 16:1 정도인 경우에는 갭 매립 특성이 가장 우수한 BPSG 리플로우(reflow)에 의한 갭 매립 후에도 패턴 사이에 보이드(220)가 형성된다. 따라서, 후속해 콘택홀을 형성하고 도전 물질로 매립하여 콘택을 형성하면, 각각

의 콘택들이 전기적으로 연결되는 브릿지가 발생한다. 즉, 소자의 불량을 초래하게 된다.

<29> 도 3a 내지 도 3h는 도 1의 AA' 방향으로 본 본 발명의 실시예 1에 의한 반도체 소자의 단면도이다.

<30> 도 3a를 참조하면, 통상의 셀로우 트렌치 분리(Shallow Trench Isolation, 이하 "STI"라고 한다.) 공정에 의해 기판(300)에 액티브(active) 영역(미도시) 및 필드(field) 영역(미도시)를 정의한다. 상기 액티브 영역 및 필드 영역이 정의된 기판(300) 상에 산화막을 형성한 후, 상기 산화막 상에 폴리실리콘을 증착하여 폴리실리콘층을 형성한다. 상기 폴리실리콘층을 고농도로 도핑시킨 후, 절연막을 형성한다. 사진 공정으로 상기 폴리실리콘층, 절연막 및 산화막을 패터닝하여 게이트 산화막(335), 절연 패턴(337) 및 도핑된 폴리실리콘막 패턴(336)으로 이루어진 게이트 전극(338)을 형성한다. 이때, 상기 절연 패턴(337)은 상기 도핑된 폴리실리콘막(336) 패턴 보다 4배 이상 얇게 형성된다. 즉, 상기 절연 패턴(337)에 대한 상기 도핑된 폴리실리콘 막(336)의 두께비는 약 1:4 이상이어야 한다. 상기 두께비가 약 1:4 미만이면, 전체 게이트 전극(338)의 두께가 증가되어 매립할 영역의 중형비가 증가하므로 갭 매립이 원활하지 않아 보이드가 형성될 소지가 있기 때문이다.

<31> 이온주입 공정을 통해 상기 게이트 전극(338) 양측의 기판(300) 표면에 소오스/드레인 영역(340)을 형성하였다. 따라서, 게이트 전극 및 소오스/드레인 영역(340)으로 이루어진 트랜지스터가 완성되었다. 상기 게이트 전극(338) 및 기판(300) 상에 실리콘 옥사이드나 실리콘 나이트라이드와 같은 절연물질을 증착한 후, 상기 절연물질을 이방성 식각하여 상기 게이트 전극(338)의 측벽 상에 게이트 스페이서(350)를 형성하였다.

<32> 도 3b를 참조하면, 상기 게이트 전극(338) 사이를 매립하도록 BPSG를 도포하고, 리플로우시켜 절연막(360)을 형성한다. 일반적인 게이트 전극은 후속 공정에서 진행되는 식각 공정에 대비하여 상기 게이트 전극 상부에 식각 저지막을 매우 높게 구비한다. 따라서, 식각 저지막의 두께만큼 매립하고자 하는 영역의 깊이가 깊어지므로 갭 매립 부담이 가중된다. 따라서, 상기 게이트 전극과 같이 얇은 두께의 절연패턴을 구비하면, 매립을 진행하여야 하는 폭이 줄어든 만큼, 깊이를 감소시키게된다. 결과적으로 종횡비를 약 10:1 이하로 감소시킬 수 있으므로 보이드 등과 같은 공극 형성을 방지할 수 있다. 상기 절연막은 HDP, HTUSG(High Temperature Undoped Silicate Glass) 및 SOD(Spin On Dielectric) 등과 같은 통상의 절연막 형성공정에 의해 형성될 수 있다.

<33> 도 3c를 참조하면, 상기 절연막(360)을 통상의 화학 기계적 연마(Chemical Mechanical Polishing;이하, "CMP"라고 한다.) 방법 또는 에치백(etch back) 공정에 의해 상기 게이트 전극(338)의 상부면을 노출시키기까지 평탄화하여 절연막 패턴(365)을 형성한다. 이때, 상기 게이트 전극(338)은 상부면에 존재하는 절연 패턴(337)을 식각 정지점으로 사용한다.

<34> 도 3d를 참조하면, 상기 게이트 전극(338) 및 절연막 패턴(365) 상에 식각 저지막(368)을 형성한다. 상기 식각 저지막(368) 상에 상기 각각의 게이트 전극(338) 사이에 존재하는 절연막 패턴(365)을 노출시키는 하드 마스크 패턴(369)을 형성한다. 상기 하드 마스크 패턴(369)은 상기 게이트 전극(338) 사이의 간격과 같거나 더 넓은 간격을 갖도록 형성된다.

<35> 상기 하드 마스크 패턴(369) 및 상기 식각 저지막(368) 상에 균일하게 절연물질을 도포하고, 이방성 식각함으로서 상기 하드 마스크 패턴(369)의 측벽에 하드 마스크 스페

이서(369a)를 형성한다. 이때, 상기 절연물질을 도포하여 형성되는 막의 두께에 따라 상기 하드 마스크 스페이서(369a)의 두께를 조절하여 반도체 소자의 임계 치수보다 작은 제1 영역(369b)을 노출시킨다.

<36> 도 3e를 참조하면, 상기 하드 마스크 패턴(369) 및 하드 마스크 스페이서(369a)를 이용하여 제1 영역(369b)에 노출된 식각 저지막(368)을 식각한다. 상기 식각에 의해 상기 게이트 전극 사이의 상기 절연막 패턴의 상부면인 제2 영역(370a)을 노출시키는 식각 저지막 패턴(370a)이 형성된다.

<37> 상기 제2 영역(370a)은 상기 게이트 전극(338) 간격의 약 5 내지 35%에 해당하는 길이인 b 만큼 상기 게이트 전극(338)으로부터 이격된 위치에 존재한다. 상기 제2 영역(370a)이 상기 게이트 전극으로부터 약 5% 미만으로 이격되어 정의되면, 후속하는 식각 공정 도중에 식각 저지막 패턴이 식각되고 하부의 게이트 전극이 노출되어 손상될 위험이 있다. 또한, 약 35%를 초과하게 되면, 식각하고자 하는 상기 게이트 전극 사이의 영역을 노출시키지 못해 식각을 진행할 수 없다. 따라서, 약 5 내지 35%가 바람직하다.

<38> 도 3f를 참조하면, 상기 식각 저지막 패턴(370) 상에 존재하는 상기 하드 마스크 패턴(369) 및 하드 마스크 스페이서(369a)를 제거한다.

<39> 도 3g를 참조하면, 상기 식각 저지막 패턴(370)을 식각 마스크로 이용하여 하부에 노출된 절연막 패턴(365)을 식각함으로써 개구부(372)를 형성한다. 이때, 상기 식각은 상기 식각 저지막 패턴(370) 및 상기 게이트 스페이서(350)에 대한 상기 절연막 패턴(365)의 식각 선택비가 약 1:10 이상인 조건으로 이루어진다. 상기 식각 선택비가 약 1:10 미만이면 상기 절연막 패턴(365)이 식각되는 동안 상기 식각 저지막 패턴(370) 및

상기 게이트 스페이서(350)가 과다 식각되어 상기 게이트 전극(338)이 노출되어 손상될 수 있다. 따라서, 약 10배 이상 빠르게 식각하는 것이 바람직하다.

<40> 도 3h를 참조하면, 상기 개구부(372)를 도전 물질로 매립하고 통상의 CMP 공정에 의해 평탄화함으로서 SAC 패드(374)를 형성한다.

<41> 상기 실시예 1의 게이트 전극 보호용 식각 저지막 패턴 형성방법은 비트라인등과 같은 반도체 소자용 배선에 적용하여 공극없이 용이하게 절연물질을 매립시켜 보이드성 디펙트의 형성을 방지할 수 있다.

<42> 실시예 2

<43> 도 4는 본 발명의 실시예 2에 의한 반도체 소자의 평면도이다.

<44> 도 4를 참조하면, 반도체 기판 상에 일방향으로 복수개의 게이트 라인(게이트 전극)(538)들이 진행하고, 상기 각각의 게이트 라인(538)들 사이는 절연물질로 매립된 절연막이 형성되어 있다. 상기 게이트 라인(538) 및 상기 절연막 상에는 상기 각각의 게이트 라인 사이를 일부 개구시키는 식각 저지막 패턴(570)이 형성되어 있다. 상기 식각 저지막 패턴(570)을 식각 마스크로 이용하여 상기 절연막을 식각하여 각각의 게이트 라인(538) 사이에는 개구부(572)가 형성된다.

<45> 도 5a 내지 도 5i는 도 4의 BB' 방향으로 본 본 발명의 실시예 2에 의한 반도체 소자의 단면도이다.

<46> 도 5a를 참조하면, 통상의 셀로우 트렌치 분리(Shallow Trench Isolation, 이하 "STI"라고 한다.) 공정에 의해 기판(500)에 액티브(active) 영역(미도시) 및 필드(field) 영역(미도시)를 정의한다. 상기 액티브 영역 및 필드 영역이 정의된 기판(500) 상에 산

화막을 형성한 후, 상기 산화막 상에 폴리실리콘을 증착하여 폴리실리콘층을 형성한다. 상기 폴리실리콘층을 고농도로 도핑시킨 후, 절연막을 형성한다. 사진 공정으로 상기 폴리실리콘층, 절연막 및 산화막을 패터닝하여 게이트 산화막(335), 절연 패턴(337) 및 도핑된 폴리실리콘막 패턴(336)으로 이루어진 제1 너비(c)의 폭을 갖는 게이트 전극(538)을 형성한다. 이때, 상기 절연 패턴(537)은 상기 도핑된 폴리실리콘막(536) 패턴 보다 4배 이상 얇게 형성된다. 즉, 상기 절연 패턴(537)에 대한 상기 도핑된 폴리실리콘 막(536)의 두께비는 약 1:4 이상이어야 한다. 상기 두께비가 약 1:4 미만이면, 전체 게이트 전극(538)의 두께가 증가되어 매립할 영역의 종횡비가 증가하므로 갭 매립이 원활하지 않아 보이드가 형성될 소지가 있기 때문이다.

<47> 이온주입 공정을 통해 상기 게이트 전극(538) 양측의 기판(500) 표면에 소오스/드레인 영역(540)을 형성하였다. 따라서, 게이트 전극 및 소오스/드레인 영역(540)으로 이루어진 트랜지스터가 완성되었다. 상기 게이트 전극(538) 및 기판(500) 상에 실리콘 옥사이드나 실리콘 나이트라이드와 같은 절연물질을 증착한 후, 상기 절연물질을 이방성 식각하여 상기 게이트 전극(538)의 측벽 상에 게이트 스페이서(550)를 형성하였다.

<48> 도 5b를 참조하면, 상기 게이트 전극(538) 사이를 매립하도록 BPSG를 도포하고, 리플로우시켜 제1 절연막(560)을 형성한다. 일반적인 게이트 전극은 후속 공정에서 진행되는 식각 공정에 대비하여 상기 게이트 전극 상부에 매우 두꺼운 식각 저지막을 구비한다. 따라서, 식각 저지막의 두께만큼 매립하고자 하는 영역의 깊이가 깊어지므로 갭 매립 부담이 가중된다. 따라서, 상기 게이트 전극과 같이 매우 얇은 식각 저지막을 구비하면, 상대적으로 매립할 영역의 높이가 낮아진다. 즉, 매립을 진행하여야 하는 폭이 줄어든 만큼, 깊이를 감소시켜 결과적으로 종횡비를 감소시킬 수 있으므로 보이드 등

과 같은 공극 형성을 방지할 수 있다. 상기 절연막은 HDP, HTUSG(High Temperature Undoped Silicate Glass) 및 SOD(Spin On Dielectric) 등과 같은 통상의 절연막 형성공정에 의해 형성될 수 있다.

<49> 도 5c를 참조하면, 상기 제1 절연막(560)을 통상의 화학 기계적 연마(Chemical Mechanical Polishing;이하, "CMP"라고 한다.) 방법 또는 에치백(etch back) 공정에 의해 상기 게이트 전극(538)의 상부면을 노출시키기까지 평탄화하여 제1 절연막 패턴(565)을 형성한다. 이때, 상기 게이트 전극(538)은 상기 절연 패턴(537)을 식각 정지점으로 사용한다.

<50> 도 5d를 참조하면, 상기 게이트 전극(538) 및 제1 절연막 패턴(565) 상에 식각 저지막(568)을 형성한다. 후속예, 상기 식각 저지막을 패터닝하고, 갭 매립 공정을 용이하게 수행하기 위해, 상기 식각 저지막은 상기 게이트 전극과 같거나 낮은 두께로 형성된다. 예컨대, 게이트 전극의 두께가 약 2000Å일 때, 상기 식각 저지막의 두께는 약 500 내지 2000Å이어야 한다. 상기 식각 저지막의 두께가 약 500Å미만이면, 식각 저지막으로서의 역할을 수행할 수 없고, 약 2000Å을 초과하면, 갭 매립을 용이하게 수행할 수 없다. 따라서, 상기 식각 저지막의 두께는 약 500 내지 2000Å인 것이 바람직하다.

<51> 상기 식각 저지막(568) 상에 상기 각각의 게이트 전극(538) 사이에 존재하는 절연막 패턴(565)을 노출시키는 하드 마스크 패턴(569)을 형성한다. 상기 하드 마스크 패턴(569)은 상기 게이트 전극(538) 사이의 간격과 같거나 더 넓은 간격을 갖도록 형성된다.

<52> 상기 하드 마스크 패턴(569) 및 상기 식각 저지막(568) 상에 균일하게 절연물질을 도포하고, 이방성 식각함으로서 상기 하드 마스크 패턴(569)의 측벽에 하드 마스크 스페이서(569a)를 형성한다. 이때, 상기 절연물질을 도포하여 형성되는 막의 두께에 따라 상

기 하드 마스크 스페이서(569a)의 두께를 조절하여 반도체 소자의 임계치수보다 작은 너비의 제1 영역(569b)을 노출시킨다. 따라서, 일반적인 사진 식각 공정으로 노출시킬 수 있는 임계치수보다 더 작은 임계치수를 갖는 패턴을 형성할 수 있다.

<53> 도 5e를 참조하면, 상기 하드 마스크 패턴(569) 및 하드 마스크 스페이서(569a)를 이용하여 상기 제1 영역(569b)에 노출된 식각 저지막(568)을 식각한다. 상기 식각에 의해 상기 게이트 전극 사이의 상기 절연막 패턴의 상부면인 제2 영역(570a)을 노출시키는 식각 저지막 패턴(570)이 형성된다.

<54> 상기 식각 저지막 패턴(570)은 상기 도전 패턴 간격의 5 내지 35%에 해당하는 길이만큼 상기 도전 패턴의 양 방향으로 각각 확장된 제2 너비(d)를 갖는다. 또한, 상기 식각 저지막 패턴은 상기 도전 패턴 보다 낮은 두께로 형성된다.

<55> 상기 제2 너비(d)는 상기 제1 너비(c) 보다 일방향으로 상기 게이트 전극(538) 간격의 약 5 내지 35%에 해당하는 너비인 b'만큼 넓다. 상기 제2 너비(d)가 상기 제1 너비(c) 보다 약 5% 미만으로 확장되면, 후속하는 식각 공정 도중에 식각 저지막 패턴이 식각되고 하부의 게이트 전극이 노출되어 손상될 위험이 있다. 또한, 약 35%를 초과하게 되면, 식각하고자 하는 상기 게이트 전극 사이의 영역을 노출시키지 못해 식각을 진행할 수 없다. 따라서, 약 5 내지 35%가 바람직하다.

<56> 상기 게이트 전극의 식각 저지막 패턴은 게이트 전극 사이를 매립한 후 형성된다. 따라서, 상기 식각 저지막 패턴의 높이만큼 매립하고자 하는 영역의 깊이가 낮아진다. 결과적으로 매립 영역의 종횡비가 감소하여 보이드 등의 공극이 형성되지 않는다.

- <57> 도 5f를 참조하면, 상기 식각 저지막 패턴(570) 상에 존재하는 상기 하드 마스크 패턴(569) 및 하드 마스크 스페이서(569a)를 제거한다.
- <58> 도 5g를 참조하면, 상기 식각 저지막 패턴(570)을 매립하도록 상기 제1 절연막 패턴(565) 상부에 절연물질을 도포하고 통상의 CMP 방법에 의해 평탄화 공정을 거쳐 제2 절연막(575)을 형성한다. 상기 식각 저지막 패턴(570)은 상기 게이트 전극의 높이 보다 낮게 형성되므로, 상기 식각 저지막 패턴 사이를 매립하는 것 또한 안정적으로 이루어진다.
- <59> 상기 제2 절연막(575) 상에 사진 식각 공정에 의해 상기 게이트 전극(538) 사이의 일부 영역을 노출시키도록 포토 레지스트 패턴(580)을 형성한다. 상기 포토 레지스트 패턴(580)은 상기 식각 저지막 패턴(570) 및 상기 게이트 스페이서(550)를 노출시키도록 형성된다.
- <60> 도 5h를 참조하면, 상기 포토 레지스트 패턴(580)을 식각 마스크로 이용하여 노출된 제2 절연막(575)을 식각하고, 순차적으로 노출되는 제1 절연막 패턴(565)을 식각하여 개구부(572)를 형성한다.
- <61> 이때, 상기 식각은 상기 식각 저지막 패턴(570) 및 상기 게이트 스페이서(550)에 대한 상기 제1 절연막 패턴(565) 및 제2 절연막(575)의 식각 선택비가 약 1:10 이상인 조건으로 이루어진다. 상기 식각 선택비가 약 1:10 미만이면 상기 제2 절연막(575) 및 제1 절연막 패턴(565)이 식각되는 동안 상기 식각 저지막 패턴(570) 및 상기 게이트 스페이서(550)가 과다 식각되어 상기 게이트 전극(538)이 노출되어 손상될 수 있다. 따라서, 약 10배 이상 빠르게 식각하는 것이 바람직하다.

- <62> 도 5i를 참조하면, 상기 포토 레지스트 패턴을 에칭 및 스트립 공정에 의해 제거한 후, 상기 개구부(572)를 도전 물질로 매립하고 통상의 CMP 공정에 의해 평탄화함으로서 SAC 콘택(574)을 형성한다.
- <63> 상기 실시예 2의 게이트 전극 보호용 식각 저지막 패턴 형성방법 및 절연막 형성방법은 비트라인등과 같은 반도체 소자용 각종 배선이 형성된 층간 절연막 형성시 적용할 수 있다. 따라서, 공극없이 용이하게 절연물질을 패턴사이에 매립시켜 보이드성 디펙트의 형성을 방지할 수 있다.
- <64> 실시예 3
- <65> 실시예 3은 상기 실시예 1과 식각 저지막 패턴을 형성하는 방법을 제외하고 동일하므로, 동일한 부분에 대한 설명을 생략하기로 한다.
- <66> 도 6a 내지 도 6d는 도 1의 AA' 방향으로 본 실시예 3에 의한 반도체 소자의 단면도이다.
- <67> 도 6a를 참조하면, 기판(500) 상에 게이트 산화막(535), 절연 패턴(537) 및 도핑된 폴리실리콘막 패턴(536)으로 이루어진 게이트 전극(538)을 형성하고, 상기 게이트 전극의 양측 기판에 소오스/드레인(540) 영역을 정의하여 트랜지스터를 형성한다. 이때, 상기 절연 패턴(537)은 상기 도핑된 폴리실리콘막(536) 패턴 보다 4배 이상 얇게 형성된다. 즉, 상기 절연 패턴(537)에 대한 상기 도핑된 폴리실리콘 막(536)의 두께비는 약 1:4 이상이어야 한다. 상기 두께비가 약 1:4 미만이면, 전체 게이트 전극(538)의 두께가 증가되어 매립할 영역의 종횡비가 증가하므로 갭 매립이 원활하지 않아 보이드가 형성될 소지가 있기 때문이다.

- <68> 상기 게이트 전극(538)의 측벽 상에 게이트 스페이서(550)를 형성하고, 게이트 전극(538) 사이를 매립하도록 절연물질로 매립하여 절연막을 형성한다. 상기 게이트 전극은 얇은 절연 패턴을 갖고 있으므로, 갭 매립이 충분하게 이루어진다. 즉, 매립을 진행하여야 하는 폭이 줄어든 만큼, 깊이를 감소시켜 결과적으로 종횡비를 약 10:1 이하로 감소시킬 수 있으므로 보이드 등과 같은 공극 형성을 방지할 수 있다.
- <69> 상기 절연 패턴(537)을 식각 정지점으로 이용하여 상기 절연막을 평탄화함으로서 절연막 패턴(565)을 형성한다. 상기 절연막 패턴(565) 상에 식각 저지막(568)을 형성한다.
- <70> 도 6b를 참조하면, 상기 식각 저지막(568)을 통상의 사진 식각 공정에 의해 패터닝하여 상기 게이트 전극 사이에 존재하는 절연막 패턴의 일부 영역을 노출시키는 식각 저지막 패턴(570)을 형성한다.
- <71> 도 6c를 참조하면, 상기 식각 저지막 패턴(570) 및 상기 절연막 패턴 상에 균일하게 절연물질을 도포하고, 이방성 식각함으로서 상기 식각 저지막 패턴의 측벽에 식각 저지막 스페이서(569a)를 형성한다. 이때, 상기 절연물질을 도포하여 형성되는 막의 두께에 따라 상기 식각 저지막 스페이서(569a)의 두께를 조절하여 반도체 소자의 임계 치수보다 작은 오픈 영역(570a)을 형성한다.
- <72> 상기 오픈 영역(570a)은 상기 식각 저지막 스페이서(569a)의 두께를 조절함으로서, 상기 게이트 전극(538) 간격의 약 5 내지 35% 에 해당하는 길이인 b'' 만큼 상기 게이트 전극(538)으로부터 이격된 위치에 존재한다.

- <73> 상기 오픈 영역의 폭이 사진 식각 공정에 의해 형성할 수 있는 폭인 경우에는 상기 식각 저지막 패턴 및 식각 저지막 스페이서에 해당하는 폭을 갖는 하나의 구조물을 형성하여 대체할 수 있다.
- <74> 도 6d를 참조하면, 상기 식각 저지막 패턴(670) 및 식각 저지막 스페이서(669a)를 식각 마스크로 이용하여 하부에 노출된 오픈 영역(670a)의 절연막 패턴(665)을 식각함으로써 개구부를 형성한다. 이때, 상기 식각은 상기 식각 저지막 패턴(670), 식각 저지막 스페이서(669a) 및 상기 게이트 스페이서(650)에 대한 상기 절연막 패턴(665)의 식각 선택비가 약 1:10 이상인 조건으로 이루어진다.
- <75> 상기 개구부를 도전 물질로 매립하고 통상의 CMP 공정에 의해 평탄화함으로써 SAC 패드(674)를 형성한다.
- <76> 상기 실시예 3의 게이트 전극 보호용 식각 저지막 패턴 및 식각 저지막 스페이서 형성방법은 비트라인등과 같은 반도체 소자용 배선에 적용하여 공극없이 용이하게 절연 물질을 매립시켜 보이드성 디펙트의 형성을 방지할 수 있다.
- <77> 실시예 4
- <78> 실시예 4는 상기 실시예 2와 식각 저지막 패턴을 형성하는 방법을 제외하고 동일하므로, 동일한 부분에 대한 설명을 생략하기로 한다.
- <79> 상기 오픈 영역의 폭이 사진 식각 공정에 의해 형성할 수 있는 폭인 경우에는 상기 식각 저지막 패턴 및 식각 저지막 스페이서에 해당하는 폭을 갖는 하나의 구조물을 형성하여 대체할 수 있다.

- <80> 도 7a 내지 도 7e은 본 발명의 도 4의 BB' 방향으로 본 본 발명의 실시예 4에 의한 반도체 소자의 단면도이다.
- <81> 도 7a를 참조하면, 기판(700) 상에 게이트 산화막(735), 절연 패턴(737) 및 도핑된 폴리실리콘막 패턴(736)으로 이루어진 제1 너비(c')의 폭을 갖는 게이트 전극(738)을 형성하고, 상기 게이트 전극의 양측 기판에 소오스/드레인(740) 영역을 정의하여 트랜지스터를 형성한다. 이때, 상기 절연 패턴(737)은 상기 도핑된 폴리실리콘막(736) 패턴 보다 4배 이상 얇게 형성된다. 즉, 상기 절연 패턴(737)에 대한 상기 도핑된 폴리실리콘 막(736)의 두께비는 약 1:4 이상이어야 한다. 상기 두께비가 약 1:4 미만이면, 전체 게이트 전극(738)의 두께가 증가되어 매립할 영역의 종횡비가 증가하므로 갭 매립이 원활하지 않아 보이드가 형성될 소지가 있기 때문이다.
- <82> 상기 게이트 전극(738)의 측벽 상에 게이트 스페이서(750)를 형성하고, 게이트 전극(738) 사이를 매립하도록 절연물질로 매립하여 절연막을 형성한다. 상기 게이트 전극은 얇은 절연 패턴을 갖고 있으므로, 갭 매립이 충분하게 이루어진다. 즉, 매립을 진행하여야 하는 폭이 줄어든 만큼, 깊이를 감소시켜 결과적으로 종횡비를 약 10:1 이하로 감소시킬 수 있으므로 보이드 등과 같은 공극 형성을 방지할 수 있다.
- <83> 상기 절연 패턴(737)을 식각 정지점으로 이용하여 상기 절연막을 평탄화함으로서 절연막 패턴(765)을 형성한다. 상기 절연막 패턴(765) 상에 식각 저지막(768)을 형성한다. 후속예, 상기 식각 저지막을 패터닝하고, 갭 매립 공정을 용이하게 수행하기 위해, 상기 식각 저지막은 상기 게이트 전극과 같거나 낮은 두께로 형성된다. 예컨대, 게이트 전극의 두께가 약 2000Å일 때, 상기 식각 저지막의 두께는 약 500 내지 2000Å이어야 한다. 상기 식각 저지막의 두께가 약 500Å미만이면, 식각 저지막으로서의 역할을 수행

할 수 없고, 약 2000Å을 초과하면, 겹 매립을 용이하게 수행할 수 없다. 따라서, 상기 식각 저지막의 두께는 약 500 내지 2000Å인 것이 바람직하다.

<84> 도 7b를 참조하면, 상기 식각 저지막(768)을 통상의 사진 식각 공정에 의해 패터닝하여 상기 게이트 전극이 진행되는 방향으로 상기 게이트 전극 상부면에 식각 저지막 패턴(570)을 형성한다.

<85> 도 7c를 참조하면, 상기 식각 저지막 패턴(770) 및 상기 제1 절연막 패턴(765a) 상에 균일하게 절연물질을 도포하여 막을 형성하고, 상기 절연물질 막을 이방성 식각함으로써 상기 식각 저지막 패턴(770)의 양쪽 측벽에 식각 저지막 스페이서(769a)를 형성한다. 이때, 상기 절연물질을 도포하여 형성되는 막의 두께에 따라 상기 식각 저지막 스페이서(769a)의 두께를 조절하여 반도체 소자의 임계 치수보다 작은 오픈 영역(770a)을 형성한다.

<86> 상기 식각 저지막 스페이서(769a)의 두께를 조절함으로써 상기 식각 저지막 패턴 및 식각 저지막 스페이서의 전체 폭은 상기 게이트 전극(538) 간격의 약 5 내지 35%에 해당하는 길이인 b'' 만큼 상기 게이트 전극(538)의 양 방향으로 각각 확장된 제2 너비(d')를 갖는다.

<87> 상기 오픈 영역의 폭이 사진 식각 공정에 의해 형성할 수 있는 폭인 경우에는 상기 식각 저지막 패턴 및 식각 저지막 스페이서에 해당하는 폭을 갖는 하나의 구조물을 형성하여 대체할 수 있다.

<88> 도 7d를 참조하면, 상기 식각 저지막 패턴(770) 및 식각 저지막 스페이서(769a)를 매립하도록 제2 절연막(775)을 형성한다. 상기 제2 절연막(775) 상에 사진 식각 공정에

의해 상기 게이트 전극(738) 사이의 일부 영역을 노출시키도록 포토 레지스트 패턴(미도시)을 형성한다. 상기 포토 레지스트 패턴은 상기 식각 저지막 패턴(770) 및 상기 식각 저지막 스페이서(769a)를 노출시키도록 형성된다.

<89> 도 7e를 참조하면, 상기 포토 레지스트 패턴을 식각 마스크로 이용하여 노출된 제2 절연막(775)을 식각하고, 순차적으로 노출되는 제1 절연막 패턴(765)을 식각하여 개구부를 형성한다.

<90> 이때, 상기 식각은 상기 식각 저지막 패턴(770), 식각 저지막 스페이서(769a) 및 상기 게이트 스페이서(750)에 대한 상기 제1 절연막 패턴(765) 및 제2 절연막(775)의 식각 선택비가 약 1:10 이상인 조건으로 이루어진다.

<91> 상기 포토 레지스트 패턴을 에칭 및 스트립 공정에 의해 제거한 후, 상기 개구부를 도전 물질로 매립하고 통상의 CMP 공정에 의해 평탄화함으로서 SAC 콘택(774)을 형성한다.

<92> 상기 실시예 2의 게이트 전극 보호용 식각 저지막 패턴, 식각 저지막 스페이서 및 절연막 형성방법은 비트라인등과 같은 반도체 소자용 각종 배선이 형성된 층간 절연막 형성시 적용할 수 있다. 따라서, 궁극없이 용이하게 절연물질을 패턴사이에 매립시켜 보이드성 디펙트의 형성을 방지할 수 있다.

【발명의 효과】

<93> 상술한 바와 같이 본 발명에 의하면, 도전 패턴을 보호하기 위한 식각 저지막 패턴을 절연막 형성 후에 형성한다. 또한, 상기 식각 저지막 패턴을 도전 패턴 보다 넓게 형

성한다. 각 층에 형성되는 도전 패턴을 절연시키기 위한 절연막을 수회에 걸쳐 형성한다

<94> 이와 같이, 식각 저지막 패턴을 도전 패턴보다 넓게 형성하고, 절연막을 상기 식각 저지막 패턴 형성전에 형성함으로써, 매립하고자 하는 영역의 중횡비를 감소시켜 공극없이 절연막을 형성할 수 있다.

<95> 후속에 상기 절연막에 콘택홀 등을 형성하면, 절연막이 유실되지 않고 인접한 콘택홀 또는 도전 패턴과 완전히 격리된다. 따라서, 상기 콘택홀을 도전 물질로 매립하여 형성한 콘택은 전기적 통로로서의 역할을 안정적으로 수행할 수 있다.

<96> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 도전 패턴 및 상기 도전 패턴 보다 4배 이상 얇은 두께를 갖는 절연 패턴으로 이루어진 복수개의 제1 구조물 측벽에 제1 스페이서를 형성하는 단계;

상기 제1 스페이서가 형성된 제1 구조물들을 매립하도록 제1 절연막을 형성하는 단계;

상기 제1 구조물들의 상부면을 노출시키도록 상기 제1 절연막을 평탄화하여 제1 절연막 패턴을 형성하는 단계;

상기 제1 절연막 패턴 및 상기 제1 구조물 상에 제2 구조물을 형성하여 상기 제1 구조물 간격의 5 내지 35%에 해당하는 길이만큼 상기 도전성 구조물로부터 이격된 위치의 제1 영역을 노출시키는 단계; 및

상기 제2 구조물 및 상기 제1 스페이서를 식각 마스크로 이용하여 상기 제1 영역을 식각함으로써 상기 반도체 기판의 상부면을 노출시키는 개구부를 형성하는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 2】

제1항에 있어서, 상기 제1 영역을 노출시키는 단계는,

상기 제1 절연막 패턴 및 상기 제1 구조물 상에 식각 저지막을 형성하는 단계;

상기 식각 저지막을 식각하여 상기 제1 절연막 패턴 상의 일부 영역을 노출시키는 식각 저지막 패턴을 형성하는 단계;

상기 식각 저지막 패턴 및 노출된 상기 제1 절연막 패턴 상에 균일하게 스페이서막을 형성하는 단계; 및

상기 스페이서막을 이방성 식각하여 상기 제1 구조물 간격의 5 내지 35%에 해당하는 길이만큼 상기 제1 구조물로부터 이격된 위치까지 상기 식각 저지막 패턴 측벽에 제2 스페이서를 형성하여 상기 식각 저지막 패턴 및 제2 스페이서로 이루어진 상기 제2 구조물을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 3】

제1항에 있어서, 상기 제1 영역을 노출시키는 단계는,

상기 제1 절연막 패턴 및 상기 제1 구조물 상에 식각 저지막을 형성하는 단계;

상기 식각 저지막 상에 상기 제1 구조물 사이의 제1 절연막 패턴을 노출시키는 하드 마스크 패턴을 형성하는 단계;

상기 하드 마스크 패턴의 측벽에 제2 스페이서를 형성하여 임계치수 보다 작은 제2 영역을 노출시키는 단계;

상기 하드 마스크 패턴 및 제2 스페이서를 이용하여 상기 제2 영역에 노출된 식각 저지막을 식각함으로써 상기 제1 구조물 간격의 5 내지 35%에 해당하는 길이만큼 상기 제1 구조물로부터 이격된 위치까지 확장된 상기 제2 구조물을 형성하는 단계; 및

상기 하드 마스크 패턴 및 상기 제2 스페이서를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 4】

제1항에 있어서, 상기 제1 영역을 노출시키는 단계는,

상기 제1 절연막 패턴 및 상기 제1 구조물 상에 식각 저지막을 형성하는 단계;

상기 식각 저지막 상에 상기 제1 절연막 패턴의 일부 영역을 노출시키는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 노출된 식각 저지막을 식각함으로써 상기 제1 구조물 간격의 5 내지 35%에 해당하는 길이만큼 상기 제1 구조물로부터 이격된 위치까지 확장된 상기 제2 구조물을 형성하는 단계; 및

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 5】

제1항에 있어서, 상기 개구부를 형성하는 단계는,

상기 제2 구조물 및 상기 제1 스페이서에 대한 상기 제1 절연막 패턴의 식각 선택비가 1:10 이상인 조건으로 식각하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 6】

제1항에 있어서, 상기 제2 구조물은 상기 제1 구조물 보다 낮은 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 7】

반도체 기판 상에 형성되어 있는 각각 제1 너비를 갖는 도전 패턴 및 상기 도전 패턴 보다 4배 이상 얇은 두께를 갖는 절연 패턴으로 이루어진 복수개의 제1 구조물들 측벽에 제1 스페이서를 형성하는 단계;

상기 제1 스페이서가 형성된 제1 구조물들을 매립하도록 제1 절연막을 형성하는 단계;

상기 제1 구조물들의 상부면을 노출시키도록 상기 제1 절연막을 평탄화하여 제1 절연막 패턴을 형성하는 단계;

상기 제1 구조물 상에 상기 제1 구조물 간격의 5 내지 35%에 해당하는 길이만큼 상기 제1 구조물의 양 방향으로 각각 확장된 제2 너비를 갖는 제2 구조물을 형성하여 상기 제1 절연막 패턴의 제1 영역을 노출시키는 단계;

상기 제2 구조물 사이를 매립하도록 제2 절연막을 형성하는 단계; 및

상기 제2 절연막의 일부 영역을 식각하고, 상기 제2 구조물 및 제1 스페이서를 식각 마스크로 이용하여 상기 제1 영역을 순차적으로 식각함으로써 상기 반도체 기판의 상부면을 노출시키는 개구부를 형성하는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 8】

제7항에 있어서, 상기 제1 영역을 노출시키는 단계는,

상기 제1 절연막 패턴 및 상기 제1 구조물 상에 식각 저지막을 형성하는 단계;

상기 식각 저지막을 식각하여 상기 제1 구조물의 진행방향을 따라 상기 제1 구조물 상부면에 위치하는 식각 저지막 패턴을 형성하는 단계;

상기 식각 저지막 패턴 및 제1 절연막 패턴 상에 균일하게 스페이서막을 형성하는 단계; 및

상기 스페이서막을 이방성 식각하여 상기 제1 구조물 간격의 5 내지 35%에 해당하는 길이만큼 상기 제1 구조물로부터 이격된 위치까지 상기 식각 저지막 패턴의 양 측벽

에 제2 스페이서를 형성하여 상기 식각 저지막 패턴 및 제2 스페이서로 이루어진 상기 제2 구조물을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 9】

제7항에 있어서, 상기 제1 영역을 노출시키는 단계는,

상기 제1 구조물 및 제1 절연막 패턴 상에 식각 저지막을 형성하는 단계;

상기 식각 저지막 상에 상기 제1 구조물의 진행방향을 따라 상기 제1 구조물 상에 위치하는 하드 마스크 패턴을 형성하는 단계;

상기 하드 마스크 패턴의 측벽에 제2 스페이서를 형성하는 단계;

상기 하드 마스크 패턴 및 제2 스페이서를 이용하여 노출된 식각 저지막을 식각함으로써 상기 도전 패턴 간격의 5 내지 35%에 해당하는 길이만큼 상기 도전 패턴의 양 방향으로 각각 확장된 제2 너비를 갖는 식각 저지막 패턴을 형성하는 단계; 및

상기 식각 저지막 패턴 상에 존재하는 상기 하드 마스크 패턴 및 제2 스페이서를 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 10】

제7항에 있어서, 상기 제1 영역을 노출시키는 단계는,

상기 제1 절연막 패턴 및 상기 제1 구조물 상에 식각 저지막을 형성하는 단계;

상기 식각 저지막 상에 상기 제1 구조물의 진행방향을 따라 상기 제1 구조물 보다 넓은 폭을 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 이용하여 상기 노출된 식각 저지막을 식각함으로써 상기 제1 구조물 간격의 5 내지 35%에 해당하는 길이만큼 상기 제1 구조물로부터 이격된 위치까지 확장된 식각 저지막 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 11】

제7항에 있어서, 상기 개구부를 형성하는 단계는,

상기 제2 절연막 상에 상기 제2 구조물 사이를 노출시키는 포토 레지스트 패턴을 형성하는 단계; 및

상기 포토 레지스트 패턴을 식각 마스크로 이용하고, 상기 제2 구조물 및 상기 제1 스페이서에 대한 상기 제1 절연막 패턴 및 제2 절연막의 식각 선택비가 1:10 이상인 조건으로 식각하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 12】

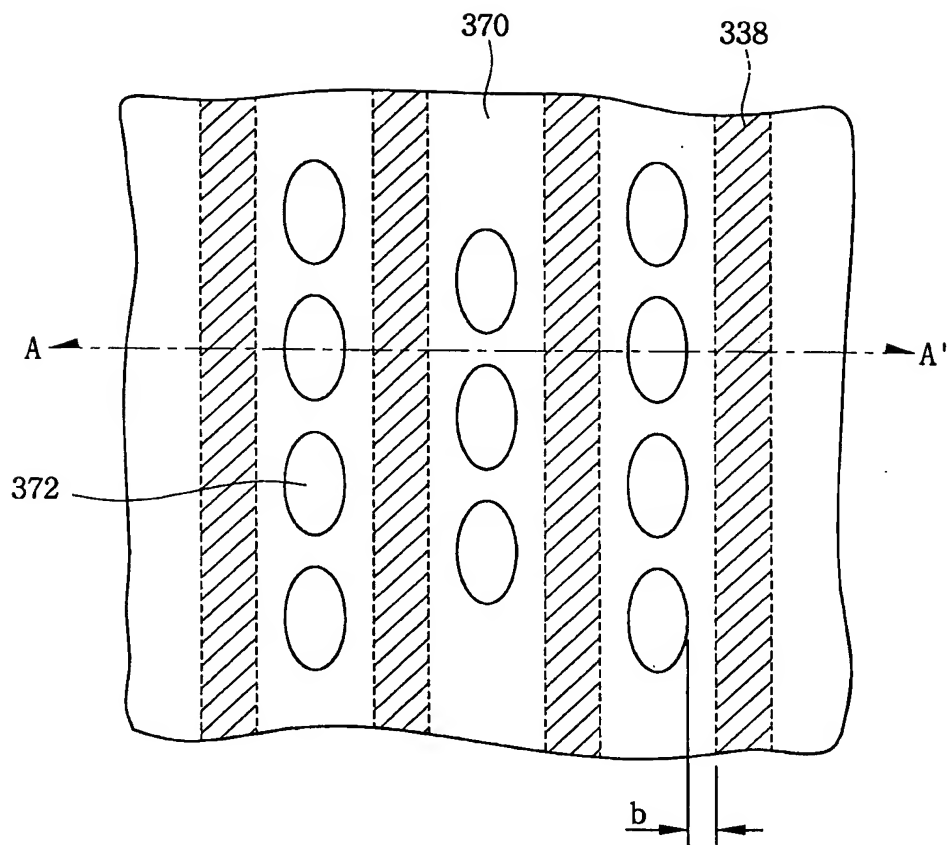
제11항에 있어서, 상기 포토 레지스트 패턴은 상기 제2 구조물 및 제1 스페이서를 노출시키도록 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 13】

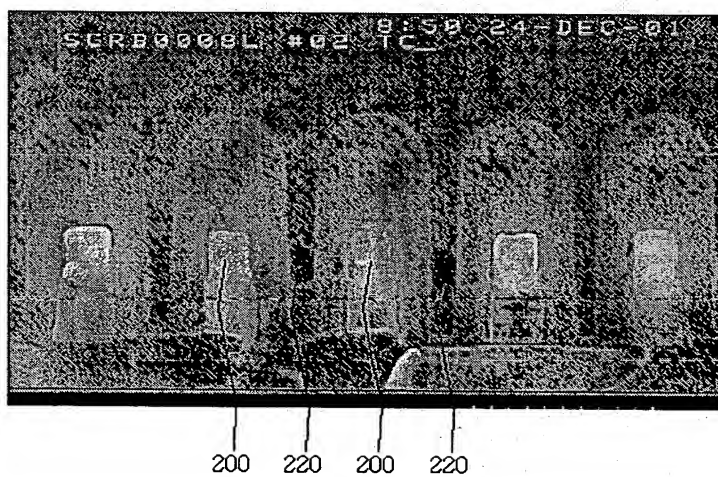
제7항에 있어서, 상기 제2 구조물은 상기 제1 구조물 보다 낮은 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

【도면】

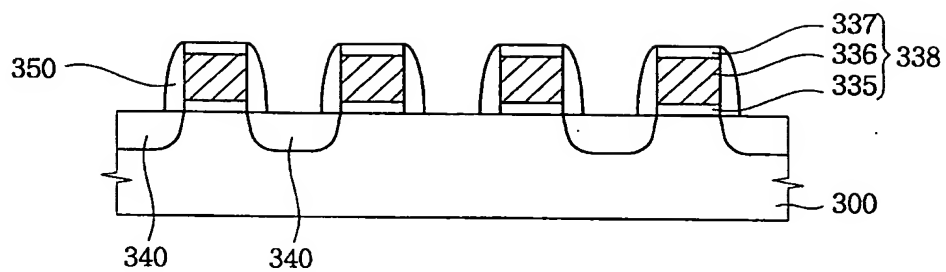
【도 1】



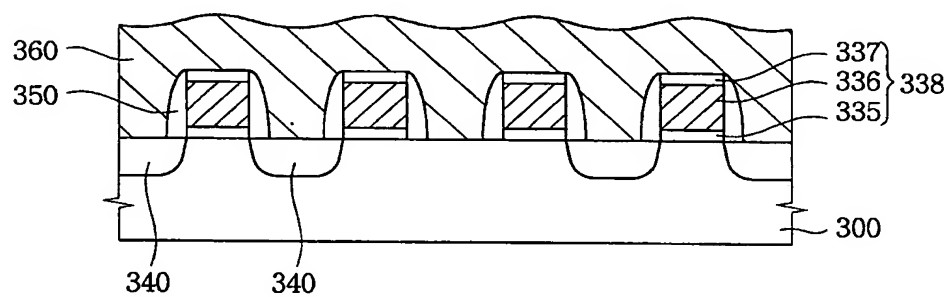
【도 2】



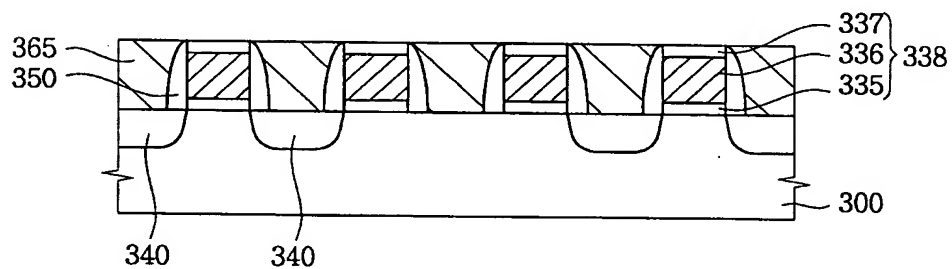
【도 3a】



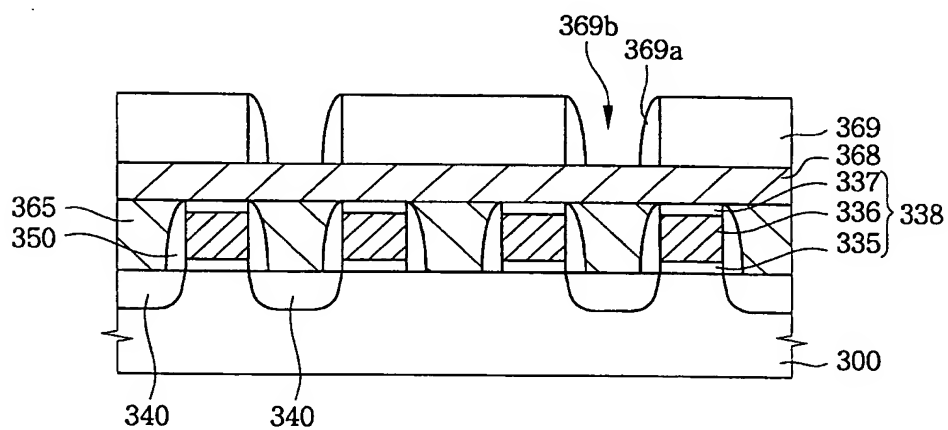
【도 3b】



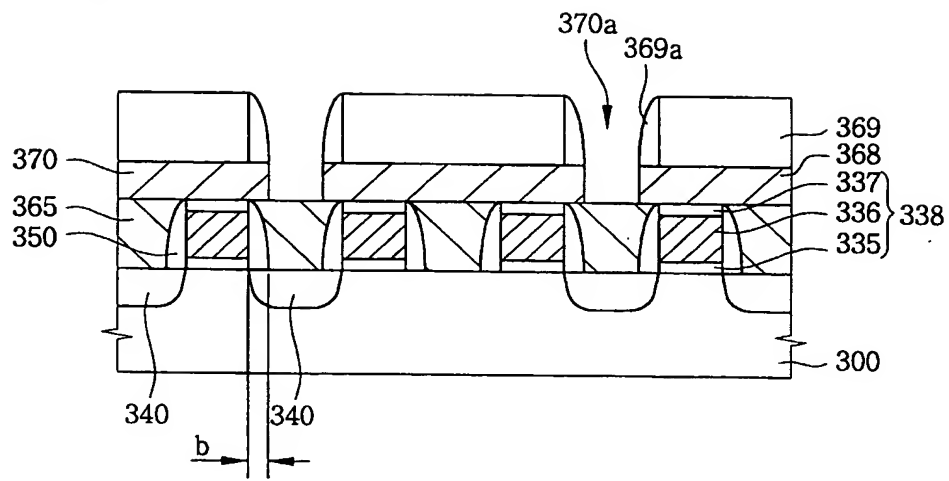
【도 3c】



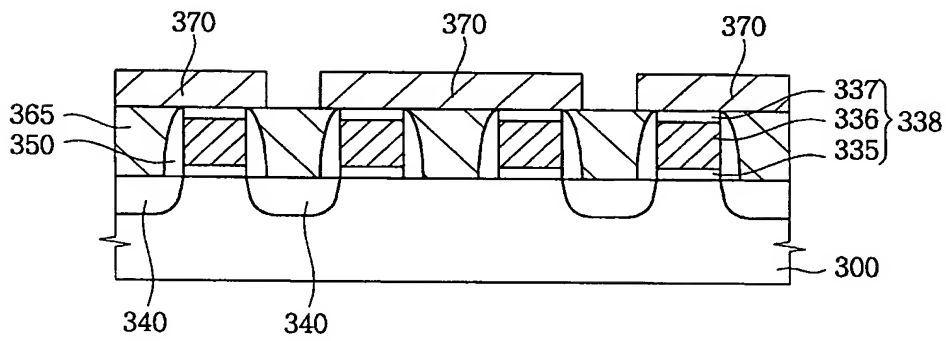
【도 3d】



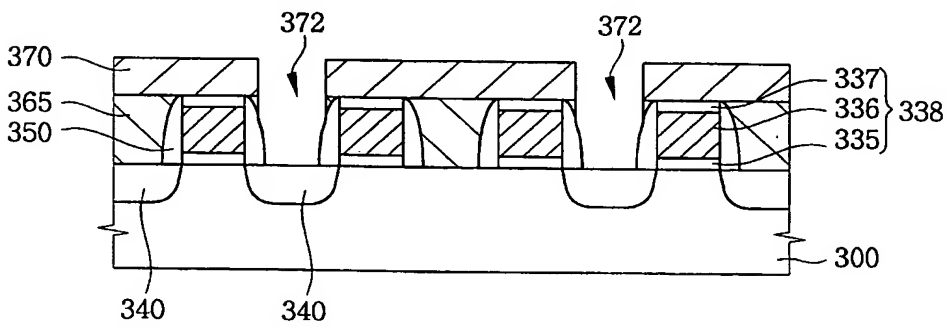
【도 3e】



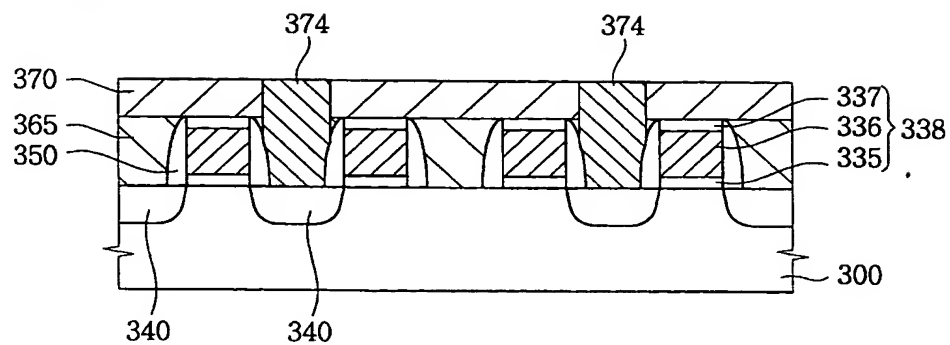
【도 3f】



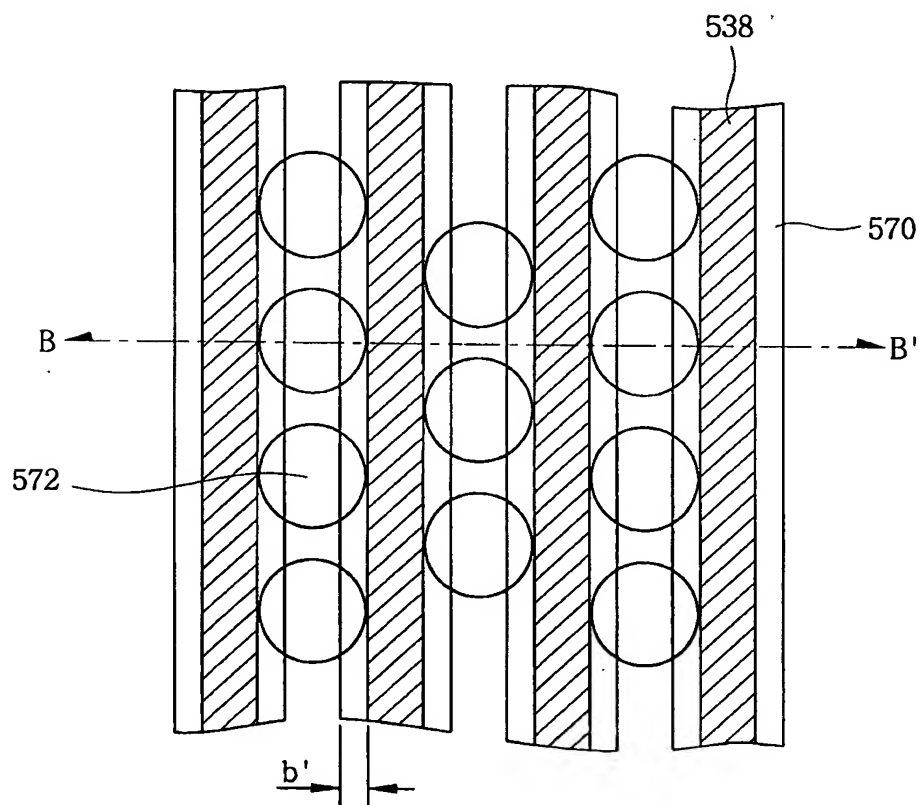
【도 3g】



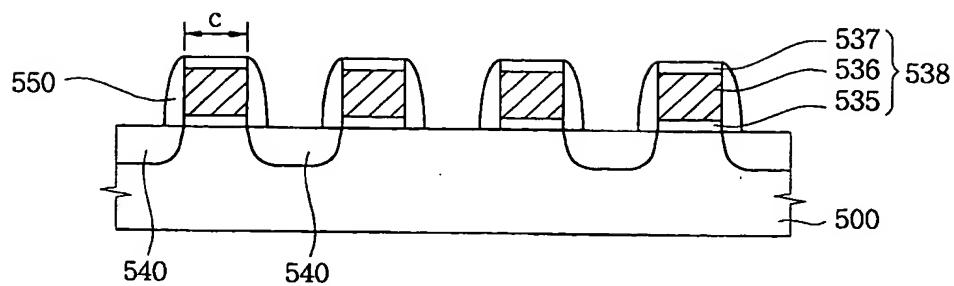
【도 3h】



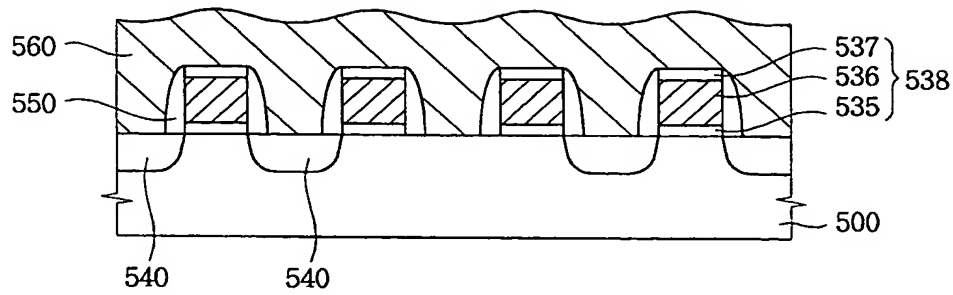
【도 4】



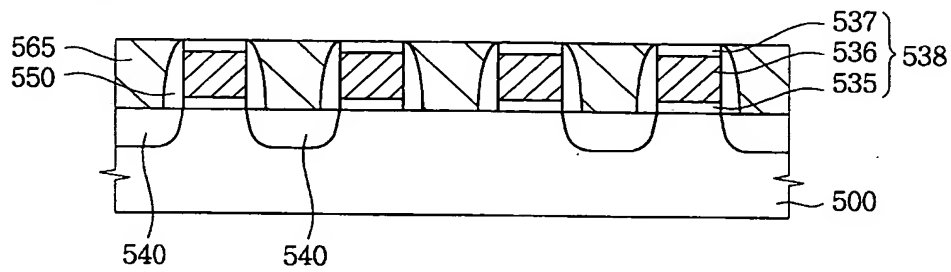
【도 5a】



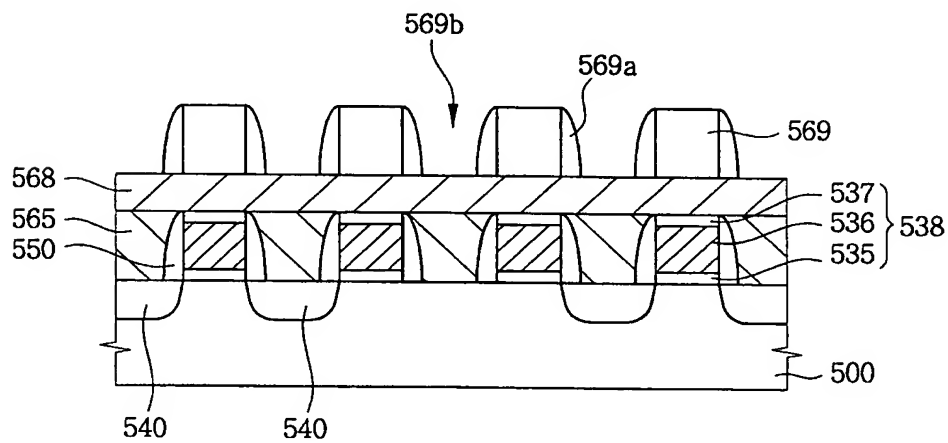
【도 5b】



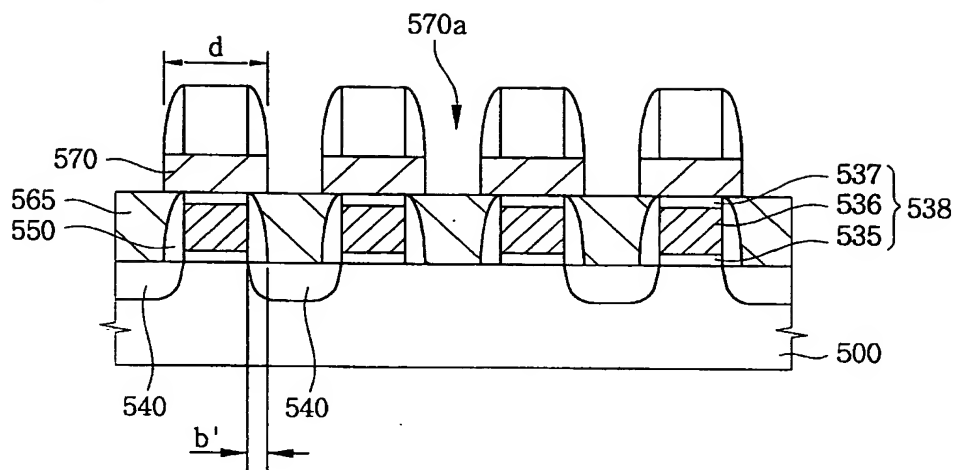
【도 5c】



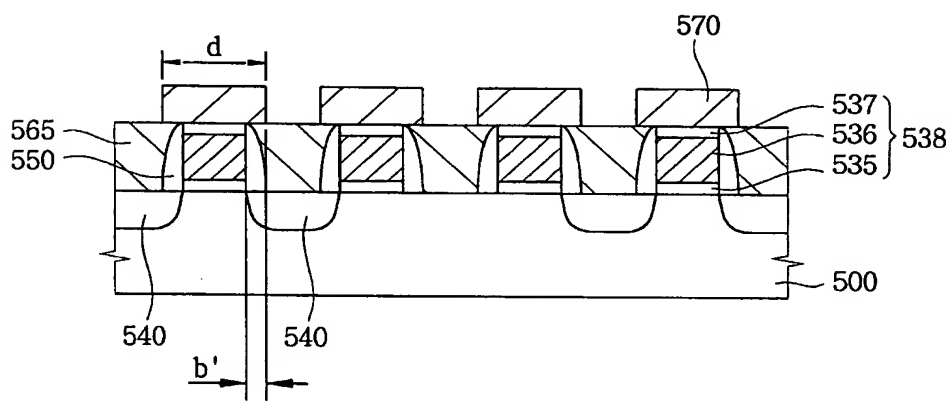
【도 5d】



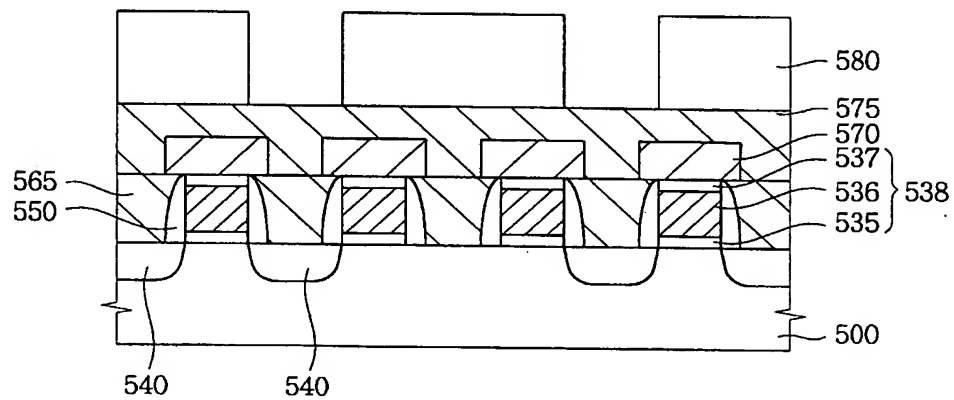
【도 5e】



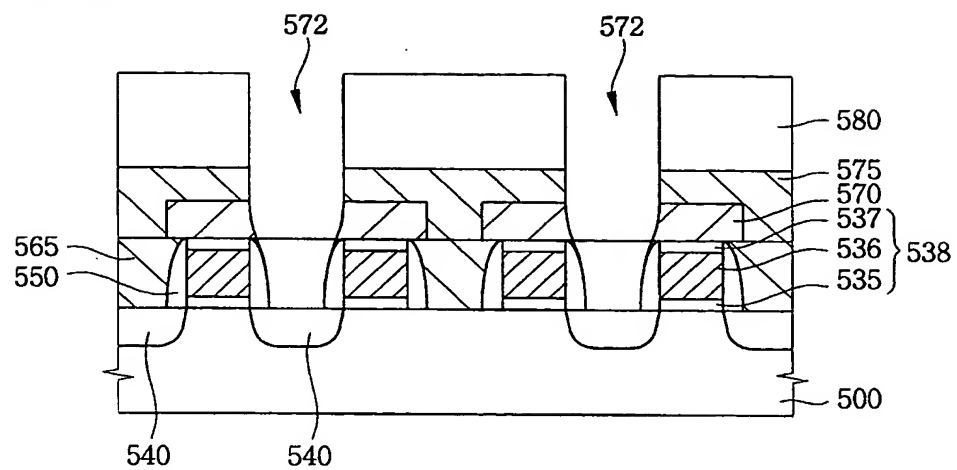
【도 5f】



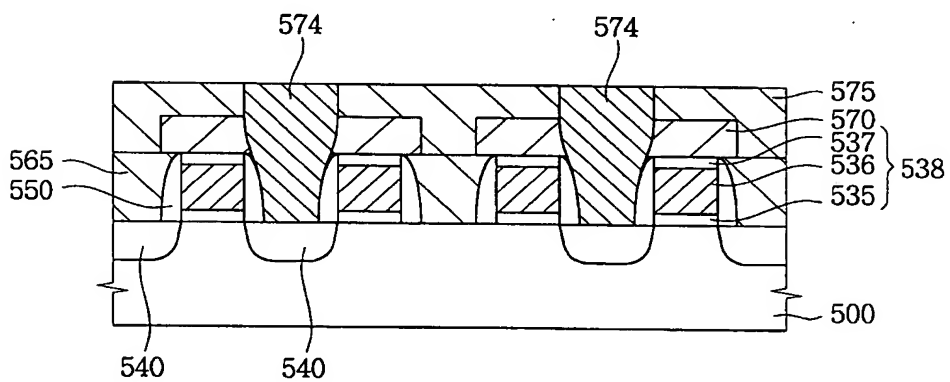
【도 5g】



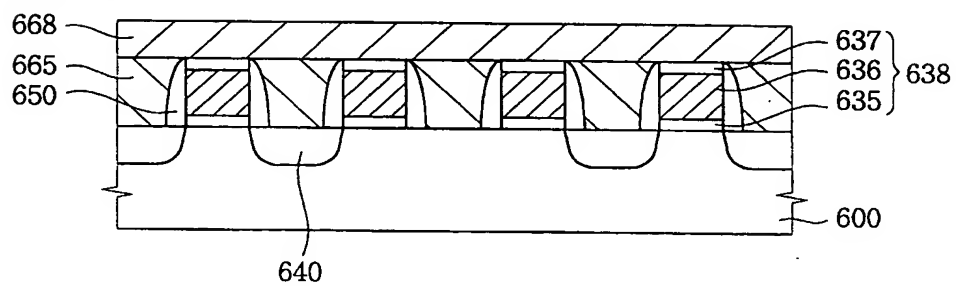
【도 5h】



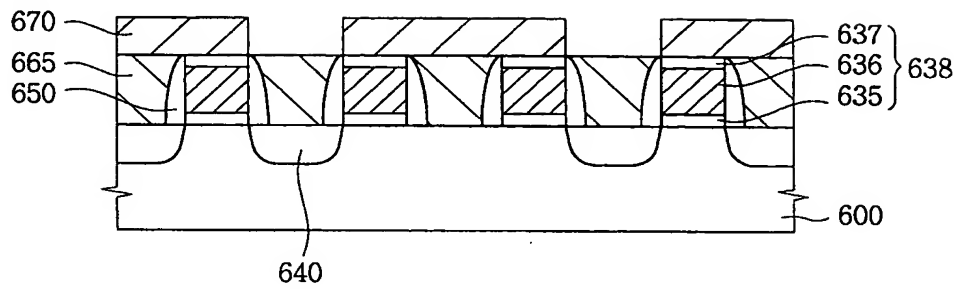
【도 5i】



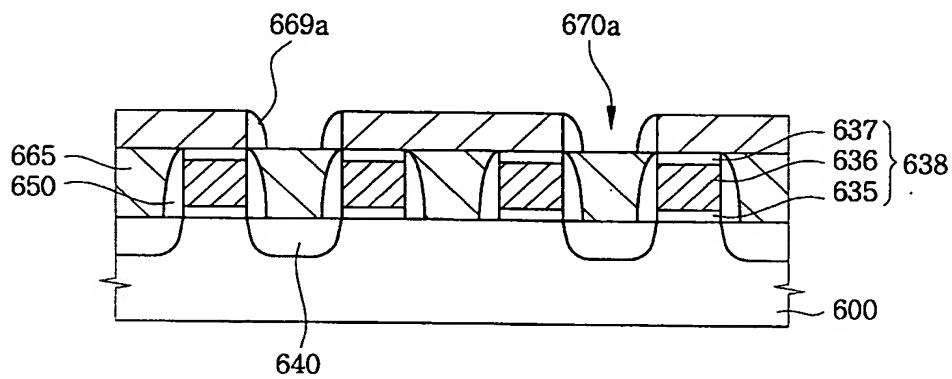
【도 6a】



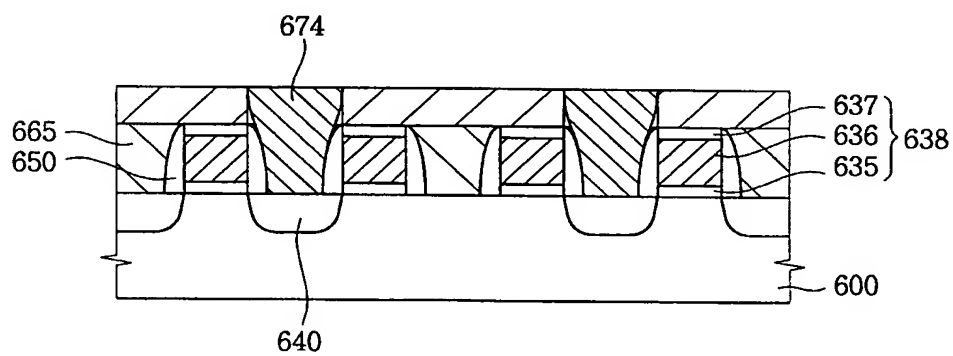
【도 6b】



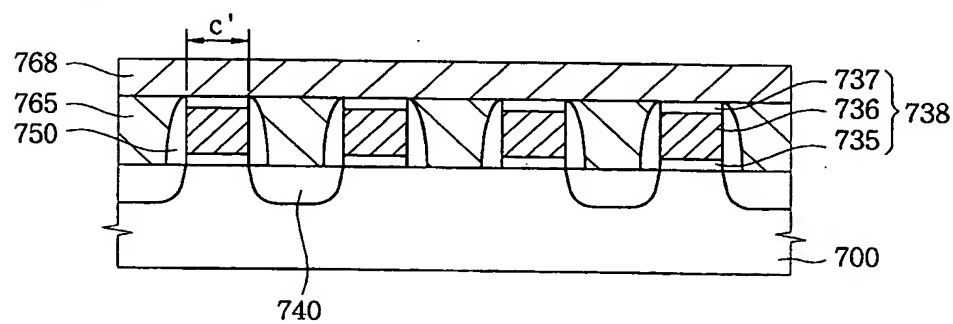
【도 6c】



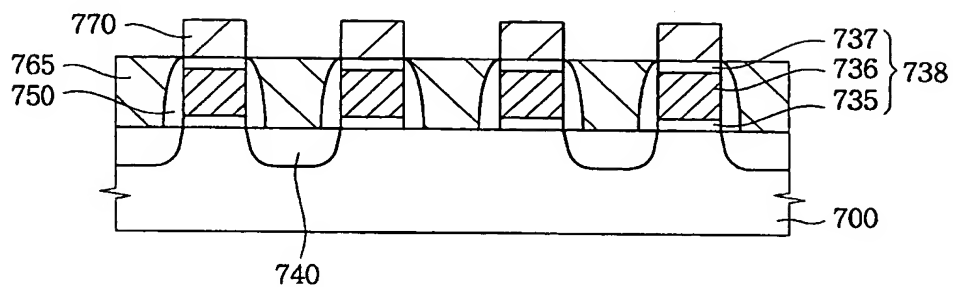
【도 6d】



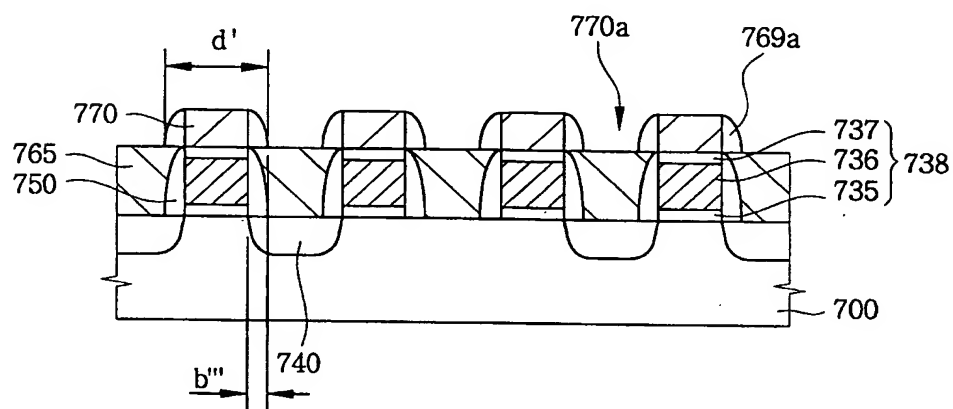
【도 7a】



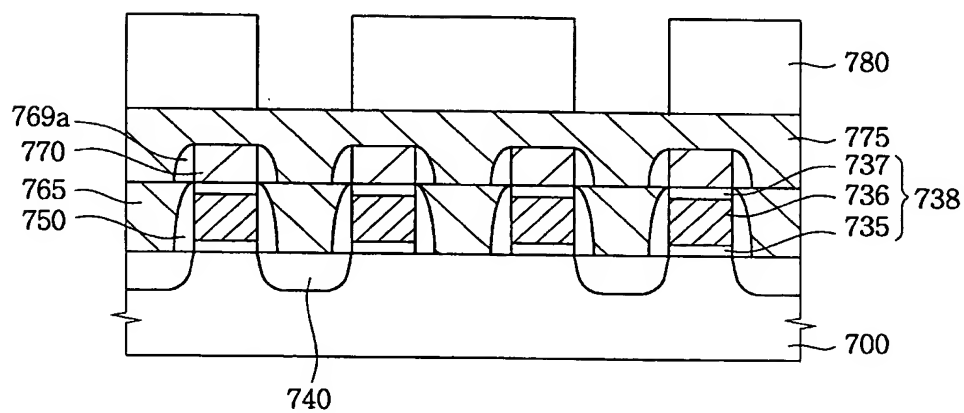
【도 7b】



【도 7c】



【도 7d】



【도 7e】

